

5

Publication of Utility Model Sho53-126567

Application of Utility Model (3)

March 15, 1977

Mr. Commissioner of Patent Office

10 1. Title of the Invention: Gate Protection Circuit of MOS Transistor

2. Inventor

Address: 18-ban-chi, 2-cyo-me, Keihan-hondori, Moriguchi-shi
c/o SANYO Electric Co., Ltd.

Name: Saburo Nakajima

15 3. Applicant of the Utility Model

Address: 18-ban-chi, 2-cyo-me, Keihan-hondori, Moriguchi-shi

Name: (188) SANYO Electric Co., Ltd.

Representative Kaoru Iue

Contact Address: TEL (Tokyo) 835-1111 Patent Center Kamada

20 4. List of Attachments

(1) Specification	1
(2) Drawings	1
(3) Counterpart Application	1

25 Specification

1. Title of the Invention

Gate Protection Circuit of MOS Transistor

2. Scope of Claims of the Utility Model

1. A gate protection circuit of a MOS transistor, comprising:

30 a main MOS transistor, and

a sub-MOS transistor having a floating gate structure, which is connected between a gate and a source of the main MOS transistor,

wherein the threshold voltage of the sub-MOS transistor is set to be lower than the gate breakdown voltage of the main MOS transistor, and the sub-MOS transistor is used as a

BEST AVAILABLE COPY

5 protection element of the main MOS transistor.

2. The gate protection circuit of the MOS transistor according to claim 1, wherein a gate and a drain of the sub-MOS transistor are connected to the gate of the main MOS transistor and a source of the sub-MOS transistor is connected to the source of the main MOS transistor.
10 transistor.

3. The gate protection circuit of the MOS transistor according to claim 1, wherein the sub-MOS transistor and the main MOS transistor are formed over a same semiconductor substrate.
15

3. Detailed Description of the Invention

The present invention relates to a gate protection circuit of a MOS transistor (Metal Oxide Semiconductor Transistor, and hereinafter referred to as a MOST).

FIG. 1 shows a MOST. In FIG. 1, reference numeral 1 represents a one conductivity type semiconductor substrate such as an N-type silicon substrate. Reference numerals 2 and 3 represent P-type source and drain regions formed over the substrate 1. A gate electrode 5 is provided over a surface of the substrate 1 between the P-type source and the drain regions 2 and 3 through a gate oxide film 4. Reference numerals 6 and 7 represent a source electrode and a drain electrode being in contact with the source and drain regions 2 and 3.
20

In the MOST having the above structure, when the gate electrode 5 of the MOST is applied with high voltage, the gate oxide film 4 is subjected to insulation breakdown. In order to prevent the insulation breakdown of the gate oxide film 4, various methods have been invented. A conventional example using a zener diode as a protection element of the gate oxide film 4 and a MOST will be described below.
25

The conventional example using the zener diode as a protection element is shown in FIG. 2. In FIG. 2, reference numeral 8 represents a zener diode formed over the same substrate 1 as the MOST 9 of FIG. 1. The zener diode 8 is connected to the gate electrode 5 and the source electrode 6 of the MOST 9. The zener voltage of this zener diode is set to be lower than the gate breakdown voltage of the MOST 9 and higher than the threshold voltage
30

5 of the MOST 9. Therefore, until the gate voltage impressed on the gate electrode 5 of the MOST 9 reaches a breakdown region of the gate oxide film 4, the zener diode 8 becomes a conductive state, and the gate voltage is bypassed through the zener diode 8 and grounded. Consequently, the gate oxide film 4 of the MOST 9 is not subjected to insulation breakdown.

FIG. 3 shows another conventional example using a MOST as a protection element.

10 In FIG. 3, reference numeral 10 represents a sub-MOST formed over the same substrate 1 as a main MOST 9. The thickness of the gate oxide film is controlled such that the threshold voltage of the sub-MOST 10 gets higher than that of the main MOST 9 and lower than the gate breakdown voltage. A gate electrode and a drain electrode of the sub-MOST 10 are connected to a gate electrode 5 of the main MOST 9 respectively and a source electrode of the
15 sub-MOST 10 is connected to a source electrode 6 of the main MOST 9. Therefore, the sub-MOST 10 becomes electrically conductive to prevent gate insulation breakdown until the gate voltage reaches a gate breakdown voltage region as well as the case of the zener diode 8.

However, in order to set the zener voltage of the zener diode 8 to be a desired value as mentioned above, it is necessary to control the impurity concentration of a PN junction of
20 the zener diode 8 strictly and it is very difficult to set the zener voltage with good reproducibility. Further, in case of the sub-MOST 10, it is necessary to differentiate the thickness of the gate oxide film 4, which determines the threshold voltage of the sub-MOST 10 and the main MOST 9. For this purpose, this conventional example has defects, for example, the number of steps is increased and a film thickness is difficult to be controlled
25 accurately.

The present invention is made in view of the above circumstances. The present invention will be described in detail below with reference to FIG. 4.

In FIG. 4, reference numeral 9 is a main MOST including a semiconductor substrate 1, a source region 2, a drain region 3, a gate oxide film 4, a gate electrode 5, a source
30 electrode 6, a drain electrode 7, and the like. Reference numeral 20 is a sub-MOST formed over the same substrate 1 as the main MOST 9. The sub-MOST 20 has a floating gate structure. The sub-MOST 20 having the floating gate structure has a characteristic that the threshold voltage thereof is varied depending on the amount of charge injected in a floating gate 21. A gate electrode 22 and a drain electrode 23 of the sub-MOST 20 are connected to

5 the gate electrode 5 of the main MOST 9. A source electrode 24 of the sub-MOST 20 is connected to the source electrode 6 of the main MOST 9. An electric circuit diagram of the connected state between the main MOST 9 and the sub-MOST 20 is shown in FIG. 5.

The sub-MOST 20 having the floating gate structure will be described here. It is well known that when positive or negative charge is injected in the floating gate 21 of the sub-MOST 20, the threshold voltage thereof is shifted toward the positive or negative direction. For example, in case of a P-channel type, in an initial state, the sub-MOST 20 has the threshold voltage of -0.5 to -1.0 V, however, when the negative charge is injected in the floating gate 21, the threshold voltage thereof is shifted toward the positive direction, whereas when the positive charge is injected therein, the threshold voltage is shifted toward the negative direction. The moving amount of the threshold voltage is approximately proportional to the amount of charge injected in the floating gate 21. Therefore, by selecting the polarity and the amount of charge injected in the floating gate 21, the threshold voltage of the sub-MOST 20 can be accurately set within a range where it does not adversely affect the operation of the main MOST 9 so as to be higher than the threshold voltage of the main MOST 9 and lower than the gate breakdown voltage. As a result, before the gate electrode 5 of the main MOST 9 is applied with the gate breakdown voltage, the sub-MOST 20 becomes a conductive state and the gate breakdown voltage is grounded, thereby making it possible to prevent insulation breakdown of the gate oxide film 4 of the main MOST 9.

An embodiment of a gate protection circuit of the MOST of the present invention will be described below.

First, the main MOST 9 is an N-channel MOST with a molybdenum gate. A gate insulating film 4 has a two layered structure of a silicon oxide film with a thickness of 500 Å and a silicon nitride film with a thickness of 800 Å. The threshold voltage of the gate insulating film 4 is -5 V and the gate breakdown voltage is about -20 V. On the other hand, the sub-MOST 20 is a P-channel MOST. A gate insulating film 25 includes a silicon oxide film with a thickness of 200 Å and a silicon nitride film with a thickness of 800 Å. A floating gate 21 made from molybdenum is formed between the silicon oxide film and the silicon nitride film. By the threshold voltage of the sub-MOST 20, each of the substrate 1, the drain region, and the source region of the sub-MOST 20 is grounded, the gate electrode 22

5 is applied with the voltage of 30 V, and positive charge is injected in the floating gate 21. The threshold voltage of the sub-MOST 20 is set to be -8 V. Therefore, an operation region of the main MOST 9 is in a range of -5 to -8 V. When the gate electrode 5 is applied with the gate voltage of more than -8 V, the sub-MOST 20 is operated to bypass the gate voltage.

As apparent from the above description, the gate protection circuit of the MOST of
10 the present invention uses the sub-MOST having the floating gate structure as a protection element for the main MOST, and therefore, the threshold voltage of the sub-MOST can be easily and accurately set to a desired value. Therefore, even when the main MOST is applied with the voltage of more than the gate breakdown voltage, the sub-MOST operates accurately and bypasses the gate breakdown voltage, making it possible to obtain a MOST
15 circuit with higher reliability than the conventional circuit.

4. Brief Description of the Drawings

FIG. 1 is a cross sectional view showing a MOS transistor; FIG. 2 is an electric circuit diagram showing a conventional example using a zener diode as a protection element; FIG. 3 is an electric circuit diagram showing another conventional example using a MOS transistor;
20 FIG. 4 is a cross sectional view of a relevant part showing a structure of a circuit of the present invention; and FIG. 5 is an electric circuit diagram thereof, wherein reference numeral 1 represents a semiconductor substrate, reference numerals 2 and 3 represent source or drain regions, reference numerals 4 and 25 represent gate insulating films, reference numerals 5 and 22 represent gate electrodes, reference numerals 6 and 24 represent source electrodes, reference numerals 7 and 23 represent drain electrodes, reference numeral 9 represents a main MOS transistor, reference numeral 20 represents a sub-MOS transistor, and reference numeral
25 21 represents a floating gate.

Applicant for the utility model

30 SANYO Electric Co., Ltd.

Representative Kaoru Iue

Family list

1 family member for:

JP53126567U

Derived from 1 application.

1 No English title available

Publication info: **JP53126567U U** - 1978-10-07

Data supplied from the *esp@cenet* database - Worldwide

JP53126567U**Patent number:** JP53126567U**Publication date:** 1978-10-07**Inventor:****Applicant:****Classification:**

- International: *H01L27/06; H01L21/8247; H01L27/04; H01L29/78;
H01L29/788; H01L29/792; H03F1/00; H03F1/42; H03F1/52;
H03K17/08; H01L27/06; H01L21/70; H01L27/04; H01L29/66;
H03F1/00; H03F1/42; H03F1/52; H03K17/08; (IPC1-7):
H01L29/78; H01L27/04; H03F1/00*

- european:**Application number:** JP19770033140U 19770315**Priority number(s):** JP19770033140U 19770315**Report a data error here**

Abstract not available for JP53126567U

Data supplied from the *esp@cenet* database - Worldwide



(¥ 3,000)

実用新案登録願(3)

昭和52年3月15日

特許庁長官殿

1. 考案の名称 MOSトランジスタのゲート保護回路 適

2. 考案者

住所 守口市京阪本通2丁目18番地

三洋電機株式会社内

氏名 中島 三郎

3. 実用新案登録出願人

住所 守口市京阪本通2丁目18番地

名称 (188) 三洋電機株式会社

代表者 井植 薫

連絡先：電話（東京）835-1111 特許センター駐在 鎌田

4. 添付書類の目録

(1) 明細書	1 通
(2) 図面	1 通
(3) 願書副本	1 通

52 033140

方式
審査

納

明 細 書

1. 考案の名称

M O S トランジスタのゲート保護回路

2. 実用新案登録請求の範囲

1. 主M O S トランジスタと、該M O S トランジスタのゲート・ソース間に接続されたフローティングゲート構造の従M O S トランジスタと、から成り、該従M O S トランジスタの閾値電圧を主M O S トランジスタのゲート破壊電圧に比して小に設定せしめ該従M O S トランジスタを主M O S トランジスタの保護素子として用いる事の特徴としたM O S トランジスタのゲート保護回路。

2. 上記従M O S トランジスタのゲート並びにドレインを主M O S トランジスタのゲートに、従M O S トランジスタのソースを主M O S トランジスタのソースに接続せしめた事の特徴とする実用新案登録請求の範囲第1項記載のM O S トランジスタのゲート保護回路。

3. 上記従M O S トランジスタを主M O S トランジスタと同一半導体基板上に形成せしめた事を

53-126567

特徴とする実用新案登録請求の範囲第1項記載の
M O S トランジスタのゲート保護回路。

3. 考案の詳細な説明

本考案はM O S トランジスタ (Metal
Oxide Semiconductor Transistor
: 以下M O S T と略す) のゲート保護回路に関する。

第1図にM O S Tを示す。同図に於いて、(1)は
一導電型半導体基板、例えばN型シリコン基板、
(2)(3)は該基板(1)に形成されたP型のソース、ドレ
イン領域で、該両領域(2)(3)間の基板(1)表面にゲ
ート酸化膜(4)を介してゲート電極(5)が設けられてい
る。(6)(7)はソース、ドレイン領域(2)(3)に接したソ
ース並びにドレイン電極である。

斯る構成のM O S Tに於いて、該M O S Tのゲ
ート電極(5)に高電圧が印加されるとゲート酸化膜
(4)が絶縁破壊を起こしてしまふ。そこでゲート酸
化膜(4)の絶縁破壊を防止する為に種々の方法が考
えられているが以下にゲート酸化膜(4)の保護素子
としてツェナーダイオードとM O S Tとを用いた

従来例について述べる。

ツェナーダイオードを保護素子として用いたものが第2図に示されている。同図に於いて、(8)は第1図のM O S T (9)と同一基板(1)上に形成されたツェナーダイオードで、該ツェナーダイオード(8)はM O S T (9)のゲート電極(5)とソース電極(6)とに接続せしめられている。このツェナーダイオード(8)のツェナー電圧は上記M O S T (9)のゲート破壊電圧に比して小でかつM O S T (9)の閾値電圧より大に設定されている。従って、M O S T (9)のゲート電極(5)に印加されるゲート電圧がゲート酸化膜(4)の破壊領域に達するまでにツェナーダイオード(8)が導通状態となりゲート電圧は該ツェナーダイオード(8)を介してバイパスされ接地されるのでM O S T (9)のゲート酸化膜(4)は絶えず破壊されない。

第3図にM O S T を保護素子としているものを示す。同図に於いて、(10)は主M O S T (9)と同一基板(1)上に形成された従M O S T で、該M O S T (10)の閾値電圧は該主M O S T (9)より高くゲート破壊電圧より小になる様にゲート酸化膜の厚さが制御

されており、この従M O S T 00のゲート電極とドレイン電極とは主M O S T (9)のゲート電極(5)に、ソース電極はソース電極(6)に天々接続されている。従って、これもツェナーダイオード(8)の場合と同様にゲート破壊電圧領域に到達するまでに従M O S T 00が導通してゲート絶縁破壊を防止する。

然し乍ら、上述した如くツェナーダイオード(8)のツェナー電圧を所望の値に設定するにはツェナーダイオード(8)のP N接合の不純物濃度の厳密な制御が必要で再現性良くツェナー電圧を設定する事は非常に困難である、また、従M O S T 00の場合も該従M O S T 00と主M O S T (9)の閾値電圧を決定するゲート酸化膜(4)の膜厚を異ならしめる必要があり、その為に工程数が増加したり、更に正確な厚みの制御が難しい等の欠点を有している。

本考案は以上の点に需みて為されたものであって以下に第4図を参照しつつ詳述する。

同図に於いて、(9)は半導体基板(1)、ソース領域(2)、ドレイン領域(3)、ゲート酸化膜(4)、ゲート電極(5)、ソース電極(6)、ドレイン電極(7)等から成る

主MOS T、 $\textcircled{20}$ は該主MOS T (9)と同一基板(1)上に形成された従MOS Tで、該従MOS T $\textcircled{20}$ はフローティングゲート構造のものである。このフローティングゲート構造の従MOS T $\textcircled{20}$ はフローティングゲート $\textcircled{21}$ に注入する電荷量に依ってその閾値電圧が変化する特性を有しており、該従MOS T $\textcircled{20}$ のゲート電極 $\textcircled{22}$ とドレイン電極 $\textcircled{23}$ とは主MOS T (9)のゲート電極(5)に接続され、従MOS T $\textcircled{20}$ のソース電極 $\textcircled{24}$ は主MOS T (9)のソース電極(6)に連っている。この主MOS T (9)と従MOS T $\textcircled{20}$ との接続状態の電気回路図を第5図に示す。

ここでフローティングゲート構造の従MOS T $\textcircled{20}$ について説明を加える。このMOS T $\textcircled{20}$ のフローティングゲート $\textcircled{21}$ に正又は負の電荷を注入するとその閾値電圧が正方向又は負方向に移行する事は良く知られている。例えばPチャンネル型の場合、初期状態に於いては $-0.5\text{ V} \sim -1.0\text{ V}$ の閾値電圧を有しているが、フローティングゲート $\textcircled{21}$ に負の電荷を注入するとその閾値電圧は正の方向へ移行し、また正の電荷を注入すると負の方向へ

移行する。その閾値電圧の移動量はフローティングゲート(2)に注入する電荷量に略比例する関係にある。従って、フローティングゲート(2)に注入する電荷の極性並びにその注入量を選択する事に依って従MOS T (2)の閾値電圧を主MOS T (9)の閾値電圧より大でゲート破壊電圧より小で且つ主MOS T (9)の動作に支障を来たさない範囲に正確に設定出来る。その結果主MOS T (9)のゲート電極(5)に該ゲート破壊電圧が印加される以前に従MOS T (2)が導通状態に至りこのゲート破壊電圧は接地されるので主MOS T (9)のゲート酸化膜(4)の絶縁破壊を防止する事が出来る。

以下に本考案MOS Tのゲート保護回路の実施例を記載する。

先ず、主MOS T (9)はモリブデンゲートのNチャンネルMOS Tで、ゲート絶縁膜(4)がシリコン酸化膜 500\AA 、シリコン窒化膜 800\AA の2重構造を有しており、その閾値電圧は -5V 、ゲート破壊電圧は約 -20V のものである。一方、従MOS T (2)はPチャンネルのMOS Tで、ゲート

絶縁膜(4)がシリコン酸化膜 200Å 、シリコン窒化膜 800Å でこのシリコン酸化膜と窒化膜との間隙にモリブデンのフローティングゲート(2)が形成されている。この従MOS T(2)の閾値電圧は該従MOS T(2)の基板(1)、ドレイン領域、ソース領域を夫々接地しゲート電極(2)に 30V の電圧を印加せしめてフローティングゲート(2)に正の電荷を注入し、 -8V に設定されている。従って、主MOS T(9)の動作領域は $-5\text{V} \sim -8\text{V}$ の範囲であり -8V を越すゲート電圧がゲート電極(5)に印加されると、従MOS T(2)が動作して該ゲート電圧をバイパスする。

以上の説明から明らかな如く本考案MOS Tのゲート保護回路は主MOS Tの保護素子としてフローティングゲート構造の従MOS Tを用いているので、この従MOS Tの閾値電圧は所望の値に容易にしかも正確に設定出来る。従って、主MOS Tにゲート破壊電圧以上の電圧が印加されても従MOS Tが正確に動作してゲート破壊電圧をバイパスするので、従来回路に比して信頼性の高い

M O S T 回路が得られる。

4. 図面の簡単な説明

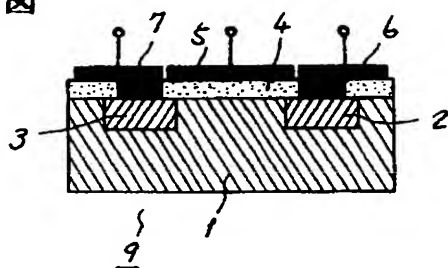
第1図はM O S トランジスタを示す断面図、第2図はツェナーダイオードを保護素子として用いた従来例を示す電気回路図、第3図はM O S トランジスタを用いた他の従来例を示す電気回路図、第4図は本考案回路の構成を示す要部の断面図、第5図はその電気回路図で、(1)は半導体基板、(2)(3)はソース、ドレイン領域、(4)(5)はゲート絶縁膜、(6)(7)はゲート電極、(8)(9)はソース電極、(10)(11)はドレイン電極、(12)は主M O S トランジスタ、(13)は従M O S トランジスタ、(14)はフローティングゲートを夫々示す。

実用新案登録出願人

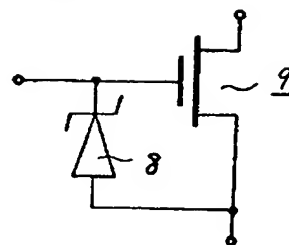
三 洋 電 器 株 式 会 社

代 表 者 井 嶋 敏

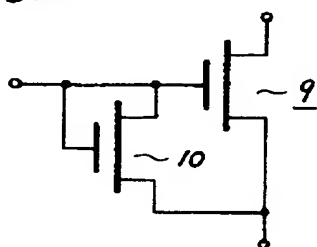
第1図



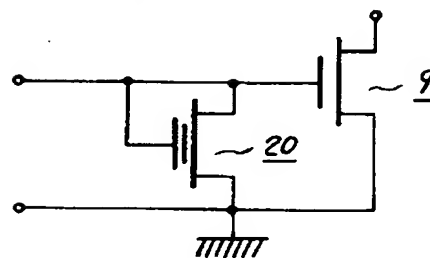
第2図



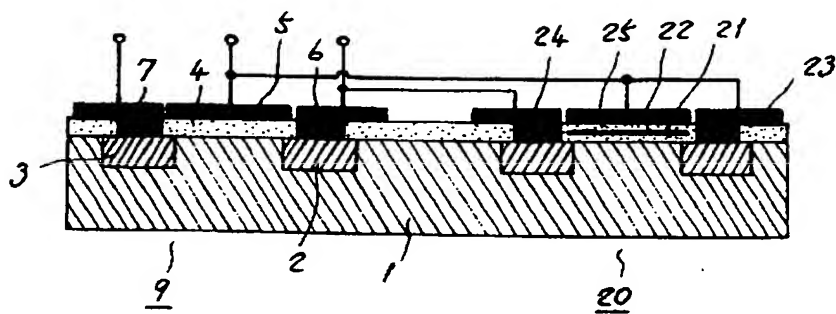
第3図



第5図



第4図



126567

実用新案登録出願人 三洋電機株式会社
代表者 井 植 薫

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.